

1/1



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11)Publication number: 09005793  
(43)Date of publication of application: 10.01.1997

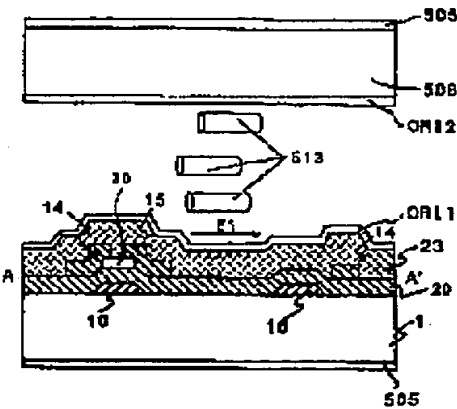
(51)Int. Cl.  
G02F 1/136  
G02F 1/1343

(21)Application number: 08201516 (71)Applicant: HITACHI LTD  
(22)Date of filing: 31.07.1996 (72)Inventor: KAWACHI GENSHIROU  
KONDO KATSUMI  
OWADA JUNICHI

(54) LIQUID CRYSTAL DISPLAY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To improve an opening rate and brightness by adjacently arranging plural common electrodes so as to hold corresponding video signal electrodes between adjacent pixels and generating the electric fields parallel with substrates by the voltage impressed on the common electrodes and pixel electrodes.  
SOLUTION: Gate insulating films 20 are formed so as to cover gate electrode (scanning signal electrodes) 10 and common electrodes 16 formed on a glass substrate 1. Drain electrodes (video signal electrodes) 14 and source electrodes (pixel electrodes) 15 to be superposed on part of the patterns of amorphous silicon films 30 formed via the insulating films 20 on the gate electrodes 10 are formed and are coated with protective insulating films 23. Such unit pixels are arranged in a matrix form and the surface of an oriented film ORI1 formed on the surface is subjected to a rubbing treatment and a liquid crystal compsn. contg. bar-shaped liquid crystal molecules 513 is enclosed between the above substrate and a counter substrate 508. An electric field E1 parallel with the substrate 1 is induced between the source electrodes 15 and the common electrodes 16 and the direction of the liquid crystal molecules 513 is changed in the direction of this electric field when the voltage is impressed on the gate electrodes 10.



LEGAL STATUS

[Date of request for examination] 31.07.1996  
[Date of sending the examiner's decision of rejection]  
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]  
[Date of final disposal for application]  
[Patent number] 2701832  
[Date of registration] 03.10.1997  
[Number of appeal against examiner's decision of rejection]  
[Date of requesting appeal against examiner's decision of rejection]  
[Date of extinction of right]

Copyright (C) ; 1998 Japanese Patent Office

**MENU** **SEARCH** **INDEX** **DETAIL**

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-5793

(43) 公開日 平成9年(1997)1月10日

(51) Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F 1/136	5 0 0		G 0 2 F 1/136	5 0 0
1/1343			1/1343	

審査請求 有 請求項の数12 O L (全 11 頁)

(21) 出願番号 特願平8-201516  
 (62) 分割の表示 特願平5-178825の分割  
 (22) 出願日 平成5年(1993)7月20日

(71) 出願人 000005108  
 株式会社日立製作所  
 東京都千代田区神田駿河台四丁目6番地  
 (72) 発明者 河内 玄士朗  
 茨城県日立市大みか町七丁目1番1号 株式会社日立製作所日立研究所内  
 (72) 発明者 近藤 克己  
 茨城県日立市大みか町七丁目1番1号 株式会社日立製作所日立研究所内  
 (72) 発明者 大和田 淳一  
 千葉県茂原市早野3300番地 株式会社日立製作所電子デバイス事業部内  
 (74) 代理人 弁理士 小川 勝男

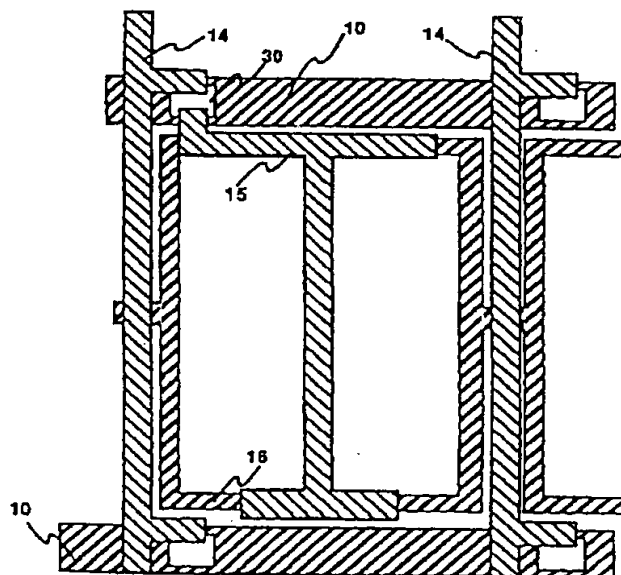
(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】 開口率が高く、明るい液晶表示装置を提供することにある。

【解決手段】 液晶表示装置の一対の基板の一方の基板には、複数の走査信号電極と、それらにマトリクス状に交差する複数の映像信号電極と、これらの電極のそれぞれの交点に対応して形成された複数の薄膜トランジスタとを有している。複数の走査信号電極及び映像信号電極で囲まれるそれぞれの領域で少なくとも一つの画素が構成され、それぞれの画素には、複数の画素に渡って接続部によって接続された複数の共通電極と、これらの共通電極間に配置され対応する薄膜トランジスタに接続される少なくとも一本の画素電極とを有している。複数の共通電極は、隣接する画素間に対応する映像信号電極を挟むように隣接配置され、共通電極と画素電極とに印加される電圧により、液晶層には基板に平行な電界が発生する。

図 9



## 【特許請求の範囲】

【請求項1】一対の基板と、この一対の基板に挟持された液晶層とを有する液晶表示装置において、

前記一対の基板の一方の基板には、複数の走査信号電極と、それらにマトリクス状に交差する複数の映像信号電極と、これらの電極のそれぞれの交点に対応して形成された複数の薄膜トランジスタとを有し、

前記複数の走査信号電極及び映像信号電極で囲まれるそれぞれの領域で少なくとも一つの画素が構成され、それぞれの画素には、複数の画素に渡って接続部によって接続された複数の共通電極と、これらの共通電極間に配置され対応する薄膜トランジスタに接続される少なくとも一本の画素電極とを有し、前記複数の共通電極は、隣接する画素間で対応する映像信号電極を挟むように隣接配置され、

前記共通電極と前記画素電極とに印加される電圧により、前記液晶層には前記基板に平行な電界が発生することを特徴とする液晶表示装置。

【請求項2】請求項1において、前記複数の映像信号電極と、これらの映像信号電極に隣接配置された前記複数の共通電極とは絶縁層を介して形成されていることを特徴とする液晶表示装置。

【請求項3】請求項2において、前記複数の共通電極上に前記絶縁層が形成されていることを特徴とする液晶表示装置。

【請求項4】請求項3において、前記絶縁層上に前記複数の映像信号電極が形成されていることを特徴とする液晶表示装置。

【請求項5】請求項1、2、3、または4において、前記複数の共通電極と前記複数の走査信号電極とは同一の層に形成されていることを特徴とする液晶表示装置。

【請求項6】請求項5において、前記複数の走査信号電極上には前記絶縁層が形成されていることを特徴とする液晶表示装置。

【請求項7】請求項1において、前記少なくとも一本の画素電極の一部は、前記複数の共通電極の前記接続上に絶縁層を介して重ね合わさり、この重ね合わさった部分により付加容量が形成されることを特徴とする液晶表示装置。

【請求項8】請求項7において、前記複数の共通電極上には前記絶縁層が形成されていることを特徴とする液晶表示装置。

【請求項9】請求項7または8において、前記複数の共通電極と前記複数の走査信号電極とは同一の層に形成され、前記走査信号電極上に前記絶縁層が形成されていることを特徴とする液晶表示装置。

【請求項10】請求項8または9において、前記絶縁層上に前記少なくとも一本の画素電極が形成されていることを特徴とする液晶表示装置。

【請求項11】請求項10において、前記絶縁層上に前

記複数の映像信号電極が形成されていることを特徴とする液晶表示装置。

【請求項12】請求項1から11のいずれか1項において、前記複数の共通電極はその表面が自己酸化膜または自己窒化膜で被覆されていることを特徴とする液晶表示装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明はOA機器等の画像、文字情報の表示装置として用いられる、アクティブマトリクス方式の液晶表示装置の構造に関する。

## 【0002】

【従来の技術】ガラス等の絶縁基板上に薄膜トランジスタ（以下TFTと記す）をマトリクス状に形成し、これをスイッチング素子として用いるアクティブマトリクス型の液晶表示装置（TFT-LCD）は高画質のフラットパネルディスプレイとして期待が大きい。従来のアクティブマトリクス型液晶表示装置では、液晶層を駆動する電極として2枚の基板上に形成し対向させた透明電極を用いていた。これは液晶に印加する電界の方向を基板面にほぼ垂直な方向とすることで動作するツイステッドネマチック表示方式に代表される表示方式を採用していることによる。

【0003】一方、液晶に印加する電界の方向を基板面にほぼ平行な方向とする方式として、櫛歯電極を用いた方式が特公昭63-21907号に開示されている。

## 【0004】

【発明が解決しようとする課題】上記の従来技術は液晶層を相互に咬合する櫛歯状の電極により駆動するものであるが、駆動電極として櫛歯状の電極を用いたので光が透過できる有効面積（以下開口率という）を大きくすることが困難である。原理的には櫛歯電極の電極幅を1～2μm程度まで縮小すれば開口率を実用レベルまで拡大できるが、実際には大型基板全面にわたってそのような細線を均一にかつ断線がないように形成することは極めて困難である。即ち、上記の従来技術では、相互に咬合する櫛歯状の電極を用いたために画素開口率と製造歩留まりがトレードオフの関係となり、明るい画像を有する液晶表示装置を低コストで提供することは困難であった。

【0005】本発明は上記の問題を解決するものであって、その目的は、より製造歩留まりが高くかつ開口率が高い、明るい液晶表示装置を提供することにある。

## 【0006】

【課題を解決するための手段】本発明によれば、液晶表示装置の一対の基板の一方の基板には、複数の走査信号電極と、それらにマトリクス状に交差する複数の映像信号電極と、これらの電極のそれぞれの交点に対応して形成された複数の薄膜トランジスタとを有している。

【0007】複数の走査信号電極及び映像信号電極で囲

まれるそれぞれの領域で少なくとも一つの画素が構成され、それぞれの画素には、複数の画素に渡って接続部によって接続された複数の共通電極と、これらの共通電極間に配置され対応する薄膜トランジスタに接続される少なくとも一本の画素電極とを有している。

【0008】複数の共通電極は、隣接する画素間に対応する映像信号電極を挟むように隣接配置され、共通電極と画素電極とに印加される電圧により、液晶層には基板に平行な電界が発生する。

【0009】好ましくは、共通電極上には絶縁層が形成され、この絶縁層に複数の映像信号電極が形成される。また、共通電極と走査信号電極とは同一の層に形成される。画素電極の一部を共通電極の接続部上に絶縁層を介して重ね合わせ、この重ね合わさった部分により付加容量を形成してもよい。

【0010】共通電極に実施態様によれば、その表面は自己酸化膜または自己窒化膜で被覆されている。

【0011】更に、画素電極または共通電極の形状は、環状型、十字型、T字型、Π字型、工字型、梯子型のいずれかの形状であってもよい。

【0012】本発明によれば、共通電極を映像信号電極を挟むように隣接配置することにより、開口率（光が透過する開口部の面積割合）を高くすることができる。また、画素電極と共通電極の少なくとも一部を絶縁膜を介して互いに重畳させ付加容量を形成することにより画素開口率を更に高くでき、かつ電圧保持特性を改善できる。

【0013】更に、共通電極と映像信号電極または、共通電極と画素電極を互いに絶縁膜より異層化することにより、これらの電極相互間の短絡不良は発生する確率が、小さくできるので画素欠陥を低減できる。

【0014】共通電極または画素電極の形状としては、なるべく開口率が大きくなるようなパターンを採用することが望ましい。そこで、画素電極または共通電極を、環状型、十字型、T字型、Π字型、工字型、梯子型のいずれかの平面形状とし、開口率が最大となるような電極形状の設計が容易となる。

【0015】また、共通電極をその表面が自己酸化膜または自己窒化膜で被覆された金属電極によって構成することにより、共通電極と画素電極を互いに重ねあわせた時にこれらの間の短絡不良の発生を防止できるので画素欠陥を低減できる。

【0016】

【発明の実施の形態】

〔実施例1〕図1～図4は本発明の第1の実施例の動作原理を示す単位画素の断面図及び平面図である。ガラス基板1上にCrよりなるゲート電極10およびコモン電極（共通電極）16を形成し、これらの電極を覆うように窒化シリコン（SiN）膜からなるゲート絶縁膜20を形成した。ゲート電極（走査信号電極）10上にゲ-

ト絶縁膜20上を介して非晶質シリコン（a-Si）膜30を形成しトランジスタの能動層とする。前記a-Si膜30のパターンの一部に重畳するようにMoよりなるドレイン電極（映像信号電極）14、ソース電極（画素電極）15を形成し、これらすべてを被覆するようにSiN膜よりなる保護絶縁膜23を形成した。以上よりなる単位画素をマトリックス状に配置したアクティブマトリックス基板の表面にポリイミドよりなる配向膜ORI1、ORI2を形成し、表面にラビング処理を施した。同じくラビング処理を施した配向膜ORI1、ORI2を表面に形成した対向基板508と、前記アクティブマトリックス基板の間に棒状の液晶分子513を含む液晶組成物を封入し、二枚の基板の外表面に偏光板505を配置した。液晶分子513は無電界時（図1および図2）にはストライプ状のソース電極15およびコモン電極16の長手方向に対して若干の角度、即ち液晶分子の長軸（光学軸）と電界の方向（ソース電極とコモン電極の長手方向に垂直）のなす角度にして45°以上90°未満を持つように配向されている。尚、上下基板との界面での液晶分子の配向は互いに平行とした。また、液晶分子の誘電異方性は正である。ここで、TFTのゲート電極10に電圧を印加してTFTをオンとするとソース電極15に電圧が印加し、ソース電極15-コモン電極16間に電界E1を誘起させると、図3および図4に示すように電界方向に液晶分子が向きを変える。上下基板の表面に配置した2枚の偏光板505の偏光透過軸を所定角度AGL1に配置することで電界印加によって光の透過率を変化させることが可能になる。このように、本発明の表示方式では従来必要であった透明電極がなくてもコントラストを与える表示が可能となる。このため、透明電極の形成に関わる工程を全て省略できるので製造コスト削減が可能となる。さらに、従来の透明電極を用いる表示方式では、電圧印加により液晶分子の長軸を基板界面から立ち上がらせ複屈折位相差を0とすることで暗状態を得ているが、複屈折位相差が0となる視角方向は正面、即ち基板界面に垂直な方向のみであり、僅かでも傾くと副屈折位相差が現れ、ノーマリーオープン型の表示では光が漏れコントラストの低下や階調レベルの反転を引き起こす。ところが、本実施例の表示方式では液晶分子の長軸は基板とほぼ平行であり電圧を印加しても立ち上がることがない、従って視角方向を変えたときの明るさの変化が小さく視角特性が大幅に改善される効果がある。

【0017】さらに、本実施例ではコモン電極16をゲート電極10と同一のレイヤーに形成し、ドレイン電極14および液晶駆動電極であるソース電極15とコモン電極16をゲート絶縁膜20によって絶縁分離した。また、従来使用されていた櫛歯状電極を廃し、ソース電極15とコモン電極16をゲート絶縁膜20を介して重畳させた。このようにドレイン電極14およびソース電極

15とコモン電極16を絶縁分離することによりソース電極15およびコモン電極16の平面パターンの設計自由度が大きくなり画素開口率を向上させることが可能となる。また、ソース電極15とコモン電極16の重畳部は液晶容量と並列に接続される付加容量として作用するので液晶印加電圧の保持能を向上させることができる。このような効果は従来の櫛歯状電極では得られないものであり、ドレイン電極14およびソース電極15とコモン電極16を絶縁分離することにより初めて達成される。以上のように、ドレイン電極14およびソース電極15とコモン電極16を異層化することにより平面パターンの設計自由度が大きくなったので、電極形状としては本実施例に限らず多種多様な構造が採用できる。

【0018】〔実施例2〕図5は本発明の第2の実施例の単位画素の平面図を示す。本実施例の断面構造は前記第1の実施例（図1）と同様である。本実施例ではコモン電極16を十字型とし、一方ソース電極15はリング型とした点に特徴がある。コモン電極16とソース電極15はC1、C2、C3、C4と記した箇所互いに重なり付加容量を形成している。本実施例によれば、コモン電極16とゲート電極10の間の距離を大きくとれるのでコモン電極16とゲート電極10間の短絡不良を防止できる。また、ソース電極15をリング型にすることにより、ソース電極の任意の箇所断線が発生しても2箇所以上の断線がないかぎりソース電極全体に給電され、正常な動作が可能である。即ち、本構造は断線に対し冗長性をもち歩留まりを向上させることができる。

【0019】〔実施例3〕図6は本発明の第3の実施例の単位画素の平面図を示す。本実施例の断面構造は前記第1の実施例（図1）と同様である。本実施例では、ソース電極15は第2の実施例と同様にリング型とし、コモン電極16をT字型とした点に特徴がある。本実施例では、リング状のソース電極の短辺の一方とコモン電極が重なるようにすることにより、開口率を低下させることなく大きな付加容量を形成でき、電圧保持特性を改善できる。また、水平方向のコモン電極を光透過領域内から排除したので画素開口率向上に有利である。

【0020】〔実施例4〕図7は本発明の第4の実施例の単位画素の平面図を示す。本実施例の断面構造は前記第1の実施例（図1）と同様である。本実施例では、ソース電極15は第2の実施例と同様にリング型とし、コモン電極16を工字型とした点に特徴がある。本実施例では、リング状のソース電極の2つの短辺とコモン電極が重なるようにすることにより、開口率を低下させることなくより大きな付加容量を形成でき、電圧保持特性を改善できる。

【0021】〔実施例5〕図8は本発明の第5の実施例の単位画素の平面図を示す。本実施例の断面構造は前記第1の実施例（図1）と同様である。本実施例では、コモン電極16はΠ字型とし、ソース電極15をT字型と

した。本実施例は前記第2～第4の実施例とはことなり、画素の中央にソース電極15を、その左右両側にコモン電極16を配置した点に特徴がある。このような配置の利点は、コモン電極16とドレイン電極14がゲート絶縁膜により分離されているためにこれらの電極の間の距離を小さくできる点にある。これにより、コモン電極16をドレイン電極14にできる限り近付けることにより光透過領域を拡大でき開口率を向上させることができる。ただし、この時コモン電極16とドレイン電極14が重なると、これらの電極間の寄生容量が急激に増大する。コモン電極とドレイン電極の間の過大な寄生容量はコモン電極信号の波形歪をもたらし、スミアと呼ばれる画質低下が発生するので望ましくない。したがって、コモン電極とドレイン電極は可能な限り近付けても良いが決して重ならないようにすることが必要である。

【0022】〔実施例6〕図9は本発明の第6の実施例の単位画素の平面図を示す。本実施例の断面構造は前記第1の実施例（図1）と同様である。本実施例では、ソース電極15を工字型とし、コモン電極16はリング型とした点に特徴がある。本実施例では前記第5の実施例と同様に開口率を向上させることができることに加え、ソース電極15とコモン電極16の重なりを大きくできるので付加容量を大きくできる。

【0023】〔実施例7〕図10は本発明の第7の実施例の単位画素の平面図を示す。本実施例の断面構造は前記第1の実施例（図1）と同様である。本実施例では、ソース電極15をはしご型とし、コモン電極16はリング型として互いに重ね合わせた構造を有し、前記第1～第6の実施例と異なり液晶を駆動する電界は画素の長手方向と平行な方向とした点に特徴がある。本実施例では、はしご型電極の段数を変えることによりコモン電極16とソース電極15間のギャップを任意に変えることができる。電極間ギャップは液晶の応答速度を決めるので、ギャップを任意に調節することにより所望の応答速度を得ることが可能となる。

【0024】以上のように、コモン電極とソース電極、ドレイン電極を異層化することにより多種多様な電極形状の設計が可能となり、用途に応じた表示性能を実現することができる。

【0025】以上の実施例ではコモン電極をゲート電極と同一の電極材料で構成する場合を示してきたが、コモン電極またはソース電極を複数の電極を組み合わせて構成しても良い。以下、そのような実施例を示す。

【0026】〔実施例8〕図11は本発明の第8の実施例の単位画素の平面図を示す。図12は図11中B-B'における断面図を示す。本実施例ではコモン電極は引出配線160とコモン側駆動電極161の2つの部材によって構成され、これらはゲート絶縁膜20に設けたスルーホールTHを介して接続されている。ここで引出配線160にはゲート電極10と同一の電極材料を、コ

モン側駆動電極161にはソース電極15と同一の電極材料を用いた。本実施例においてもコモン電極の引出配線160とソース電極15はゲート絶縁膜20によって異層化されているため、互いに交差させることができ交差部Cstにおいて付加容量を構成し、保持特性を改善できる。また、コモン側駆動電極161をソース電極15と同一層内に形成することにより、ソース電極15と隣接するドレイン電極14との間で形成される不必要な電界をシールドすることが可能となる。液晶の駆動に直接関与しない電極によって形成される寄生電界は液晶の配向を乱し、表示画像のコントラスト低下を招くので、通常電極の周囲を遮光層によって隠すことによって対策している。しかしこのような遮光層は開口率を低下させるという欠点を持つ。これにたいして本実施例のように、液晶の配向を乱す寄生電界をシールドすることにより遮光層の面積を縮小できるので開口率を向上させることが可能となる。

【0027】〔実施例9〕図13は本発明の第9の実施例の単位画素の平面図を示す。図14は図13中C-C'における断面図を示す。本実施例ではコモン電極の引出配線160は、前記第7の実施例と同様にゲート電極10と同一の電極材料で構成し、コモン側駆動電極161は保護絶縁膜23上に設けた新たな電極によって構成し、これらをスルーホールによって接続した。本実施例ではコモン電極は引出配線160、コモン側駆動電極161ともにソース電極15と絶縁分離されているので前記の実施例と同様な効果がある。

【0028】〔実施例10〕前記実施例ではコモン電極のコモン側駆動電極161は保護絶縁膜23上に設けた電極によって構成したが、コモン側駆動電極はゲート電極10の下層に設けても良い。図15は本発明の第10の実施例の単位画素の平面図を示す。図16は図15中D-D'における断面図を示す。本実施例ではコモン電極の引出配線160は、前記第7の実施例と同様にゲート電極10と同一の電極材料で構成し、コモン側駆動電極161はゲート電極10の下層に絶縁膜24を介して設けた新たな電極によって構成し、これらをスルーホールによって接続した。本実施例ではコモン電極は引出配線160、コモン側駆動電極161ともにソース電極15と絶縁分離されているので前記の実施例と同様な効果がある。

【0029】〔実施例11〕図17は本発明の第11の実施例の単位画素の平面図を示す。図18は図17中E-E'における断面図を示す。本実施例ではコモン電極16はゲート電極10の下層に下地絶縁膜24を介して設けた新たな電極によって構成した。従って、コモン電極はゲート電極10およびソース電極15、ドレイン電極14の全てと異層化される。そこで、本実施例はコモン電極16をゲート電極と平行な方向だけでなくゲート電極と垂直な方向にも引出して網目状とすることが可能

となる。このことにより、コモン電極の抵抗値を下げられるのでコモン電圧の波形歪を低減しスミアの発生を防止できる効果がある。

【0030】〔実施例12〕図19は本発明の第12の実施例の単位画素の平面図を示す。図20は図19中F-F'における断面図を示す。本実施例ではコモン電極16は保護絶縁膜23上に設けた新たな電極によって構成した。本実施例においても、前記実施例11と同様にコモン電極はゲート電極10およびソース電極15、ドレイン電極14の全てと異層化されるので、コモン電極16をゲート電極と平行な方向だけでなくゲート電極と垂直な方向にも引出して網目状とすることが可能となりコモン電圧の波形歪を低減しスミアの発生を防止できる。

【0031】〔実施例13〕図21は本発明の第13の実施例の単位画素の断面図を示す。本実施例の平面図は前記実施例1と同様である。本実施例ではゲート電極10およびコモン電極16はアルミニウム(A1)で構成され、その表面はA1の自己酸化膜であるアルミナ( $Al_2O_3$ )21によって被覆されている点に特徴がある。このような2層絶縁膜構造を採用することによりコモン電極16とドレイン、ソース電極との絶縁不良が低減できるので画素欠陥を低減できる。

【0032】〔実施例14〕図22は本発明の第14の実施例の単位画素の平面図を示す。図23は図22のG-G'断面図である。本実施例ではコモン電極16はタンタル(Ta)で構成し、その表面はTaの自己酸化膜である五酸化タンタル( $Ta_2O_5$ )22によって被覆した。また、コモン電極16上のソース電極15と対向する側のゲート絶縁膜20および保護絶縁膜23をエッチング除去した点に特徴がある。比誘電率が23と大きい $Ta_2O_5$ を露出させることによりソース電極側に電束を集中できるのでより低い印加電圧で液晶を駆動させることができる。

【0033】図24は本発明のアクティブマトリックス基板鏡の等価回路を含む平面模式図である。ガラス基板1上にゲート電極10とドレイン電極14とこれらに接続されたTFEとゲート電極10に平行に引き出されたコモン電極16とゲート電極ドレイン電極およびコモン電極の引出端子101、151、163が形成されたものである。引出端子はゲート電極10、ドレイン電極14およびコモン電極16に外部回路から信号を供給するための端子である。

【0034】図25はアクティブマトリックス部の画素配列の平面図である。図25では単位画素として図9に示したものを使用した。各画素はゲート電極10が延在する方向と同一方向に複数配置され、画素列X1、X2、X3…のそれぞれを構成している。各画素列X1、X2、X3…のそれぞれの画素は薄膜トランジスタTFT1、コモン電極16およびソース電極15の配置位置を

同一に構成している。ドレイン電極14はゲート電極10と交差するように配置され各画素列の内の1個の画素に接続されている。

【0035】図26は本発明の液晶表示装置のセル断面図である。下側のガラス基板1上にゲート電極10とドレイン電極14がマトリックス状に形成され、その交点付近に形成されたTFTを介してソース電極15を駆動する。棒状の液晶分子513を含む液晶層を挟んで対向する対向基板508上にはカラーフィルタ507、カラーフィルタ保護膜511、遮光用ブラックマトリックス512が形成されている。図26の中央部は単位画素の断面図を、左側は外部接続端子の存在する部分の断面図を、右側は外部接続端子の存在しない部分の断面図を示している。図26の右側、左側に示すシール材SLは液晶層を封止するように構成されており、液晶封入口(図示せず)を除くガラス基板1、508の縁全体に沿って形成されている。シール材は例えばエポキシ樹脂で形成されている。配向制御膜ORI1、ORI2、保護絶縁膜23、カラーフィルタ保護膜511の各層はシール材SLの内側に形成される。偏光板505は一对のガラス基板1、508の外側表面に形成されている。液晶層内の液晶分子513は配向制御膜ORI1、ORI2によって所定の方に配向されており、バックライトBLからの光をソース電極15とコモン電極16の間の部分の液晶層で調節することによりカラー画像の表示が可能となる。

#### 【0036】

【発明の効果】以上のように本発明によれば、複数の共通電極を、隣接する画素間に対応する映像信号電極を挟むように隣接配置することにより、開口率が高い液晶表示装置が実現できる。

#### 【図面の簡単な説明】

【図1】本発明に係る液晶表示装置の第1の実施例の電界無印加時の画素平面模式図。

【図2】本発明に係る液晶表示装置の第1の実施例の電界無印加時の画素断面模式図。

【図3】本発明に係る液晶表示装置の第1の実施例の電界印加時の画素平面模式図。

【図4】本発明に係る液晶表示装置の第1の実施例の電界印加時の画素断面模式図。

【図5】本発明に係る液晶表示装置の第2の実施例の電界無印加時の画素平面図。

【図6】本発明に係る液晶表示装置の第3の実施例の電界無印加時の画素平面図。

【図7】本発明に係る液晶表示装置の第4の実施例の電界無印加時の画素平面図。

【図8】本発明に係る液晶表示装置の第5の実施例の電界無印加時の画素平面図。

【図9】本発明に係る液晶表示装置の第6の実施例の電

界無印加時の画素平面図。

【図10】本発明に係る液晶表示装置の第7の実施例の電界無印加時の画素平面図。

【図11】本発明に係る液晶表示装置の第8の実施例の電界無印加時の画素平面図。

【図12】本発明に係る液晶表示装置の第8の実施例の電界無印加時の画素断面図。

【図13】本発明に係る液晶表示装置の第9の実施例の電界無印加時の画素平面図。

【図14】本発明に係る液晶表示装置の第9の実施例の電界無印加時の画素断面図。

【図15】本発明に係る液晶表示装置の第10の実施例の電界無印加時の画素平面図。

【図16】本発明に係る液晶表示装置の第10の実施例の電界無印加時の画素断面図。

【図17】本発明に係る液晶表示装置の第11の実施例の電界無印加時の画素平面図。

【図18】本発明に係る液晶表示装置の第11の実施例の電界無印加時の画素断面図。

【図19】本発明に係る液晶表示装置の第12の実施例の電界無印加時の画素平面図。

【図20】本発明に係る液晶表示装置の第12の実施例の電界無印加時の画素断面図。

【図21】本発明に係る液晶表示装置の第13の実施例の電界無印加時の画素断面図。

【図22】本発明に係る液晶表示装置の第14の実施例の電界無印加時の画素平面図。

【図23】本発明に係る液晶表示装置の第14の実施例の電界無印加時の画素断面図。

【図24】本発明に係る液晶表示装置の等価回路を示す平面図。

【図25】本発明に係る液晶表示装置の表示部TFTマトリックス部の平面図。

【図26】本発明に係る液晶表示装置のセル断面図。

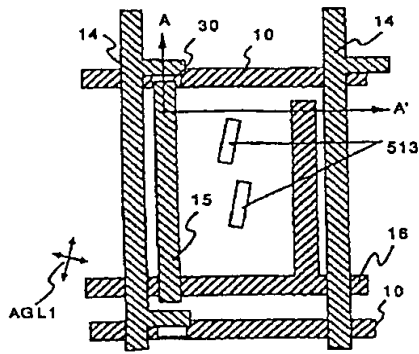
#### 【符号の説明】

1…ガラス基板、10…ゲート電極、14…ドレイン電極、15…ソース電極、16…コモン電極、20…ゲート絶縁膜、21…アルミナ膜、22…五酸化タンタル膜、23…保護絶縁膜、24…下地絶縁膜、30…非晶質シリコン膜、101…ゲート電極の引出し端子、141…ドレイン電極の引出し端子、160…コモン電極の引出配線、161…コモン側駆動電極、505…偏光板、507…カラーフィルタ、508…対向基板、511…カラーフィルタ保護膜、512…遮光用ブラックマトリックス、513…液晶分子、ORI1、ORI2…配向膜、SL…シール材、C1、C2、C3、C4、Cst…付加容量、TH…スルーホール、E1…液晶駆動電界。



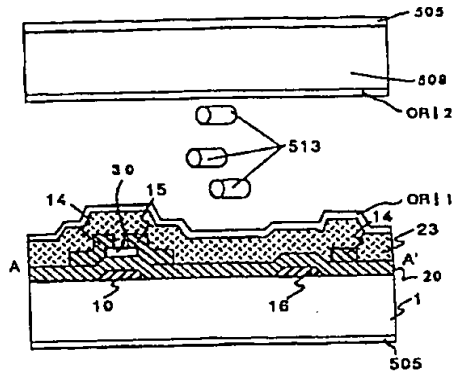
【図1】

図 1



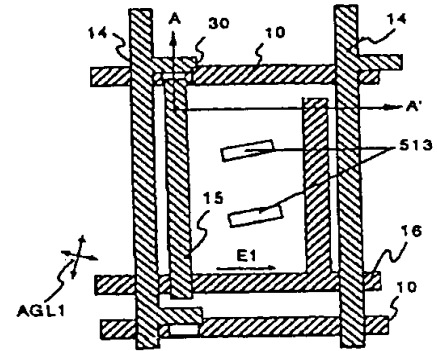
【図2】

図 2



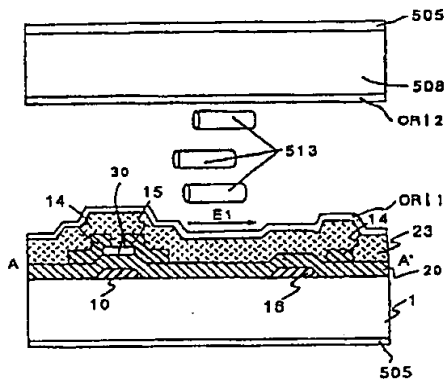
【図3】

図 3



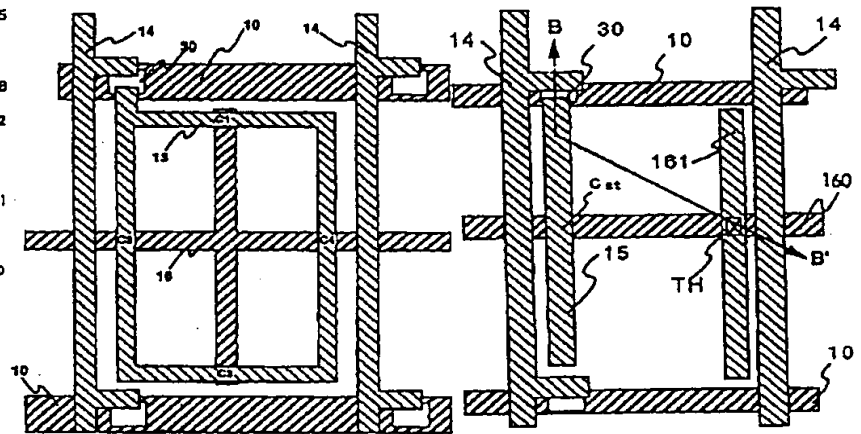
【図4】

図 4



【図5】

図 5

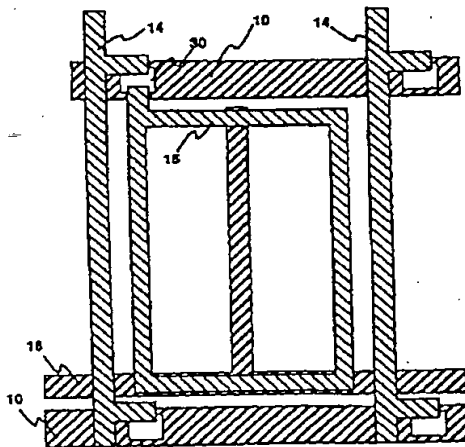


【図11】

図 11

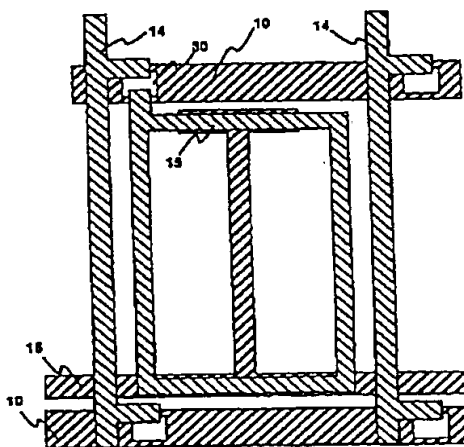
【図6】

図 6



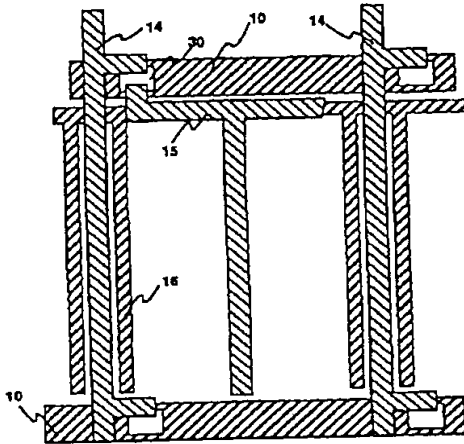
【図7】

図 7



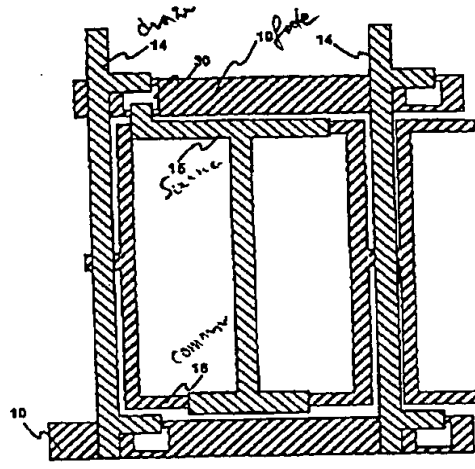
【図 8】

図 8



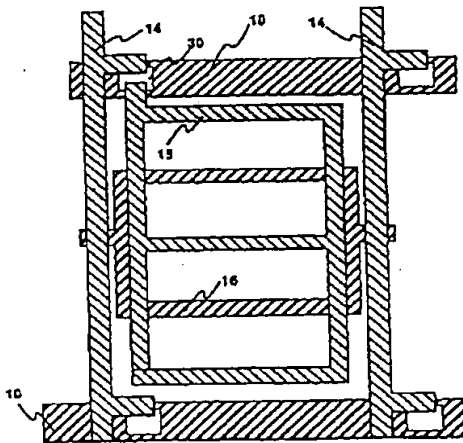
【図 9】

図 9



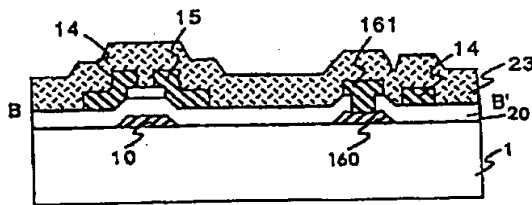
【図 10】

図 10



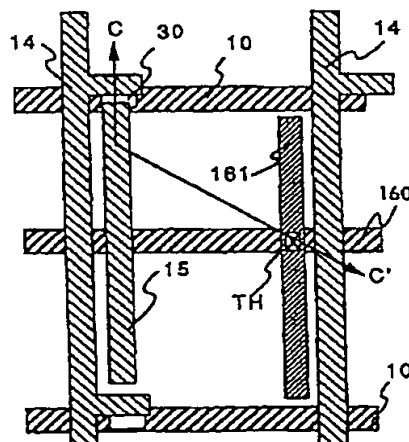
【図 12】

図 12



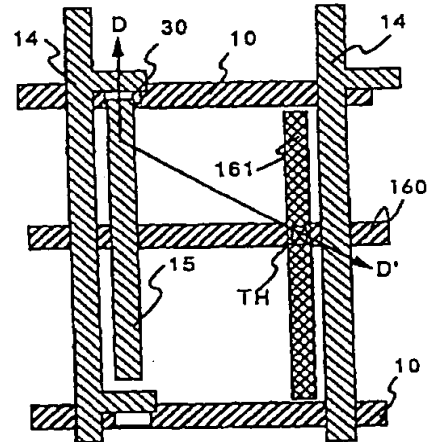
【図 13】

図 13

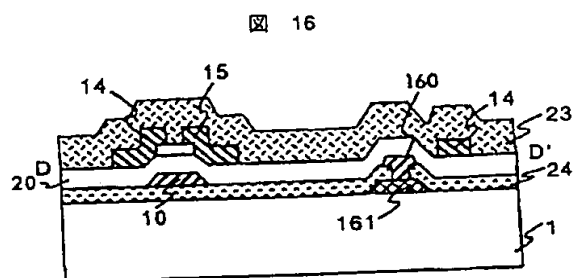


【図 15】

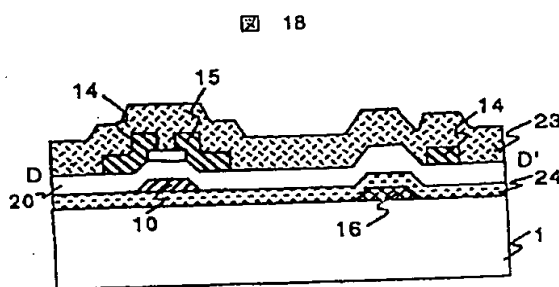
図 15



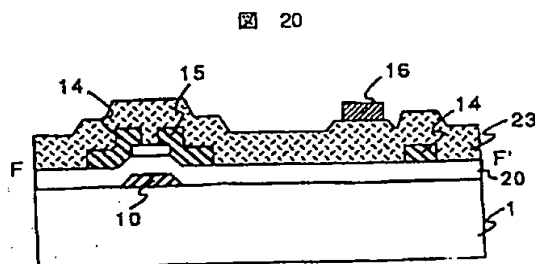
【図 16】



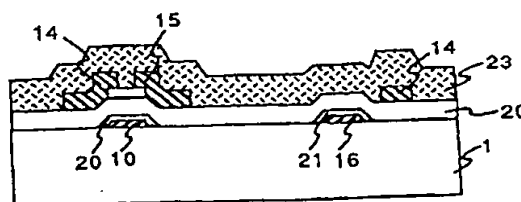
【图 18】



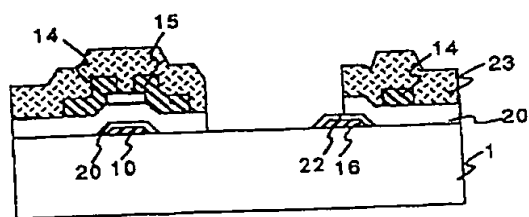
【図 20】



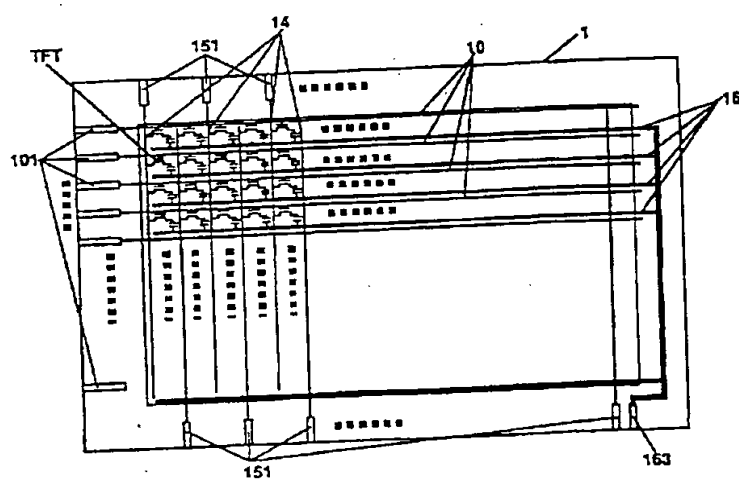
21



【图 23】

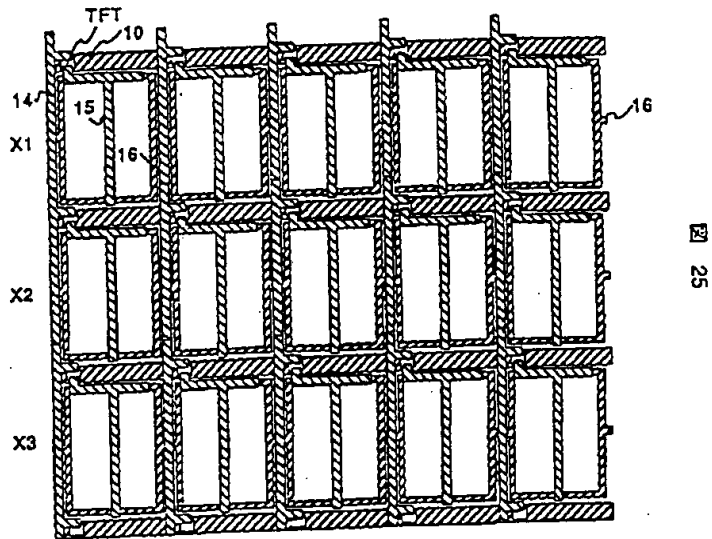


【圖 24】



24

【図25】



【図26】

